

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-199566

(43)Date of publication of application : 20.07.1992

(51)Int.Cl. H01L 25/065
H01L 23/52
H01L 25/07
H01L 25/18

(21)Application number : 02-335391 (71)Applicant : MITSUBISHI ELECTRIC CORP

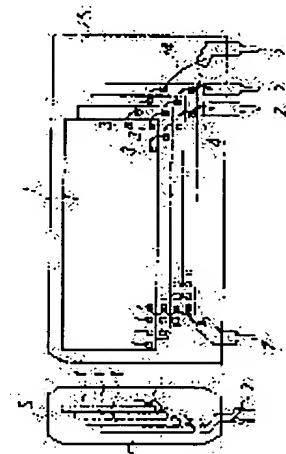
(22)Date of filing : 28.11.1990 (72)Inventor : SHIMODA MASAKI

(54) INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To increase the packing density of a semiconductor device by encapsulating a plurality of chips in one package, connecting an external address input to different chip select pads on the chips to select arbitrary chip in the package depending on the most significant bit of the address.

CONSTITUTION: A plurality of chip select pads are provided on a semiconductor chip 1. When a plurality of chips 1 are contained in a single package 5, a specific input address is coupled to individual chip select pads to select a chip. As a result, the individual chips are selected or not depending on input address information. The memory capacity of a device can be increased by the multiply of the number of chips contained in the package, thereby increasing packing density.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 平4-199566

⑤Int.Cl.⁵
H 01 L 25/065
23/52
25/07
25/18

識別記号

庁内整理番号

④公開 平成4年(1992)7月20日

7638-4M H 01 L 25/08
7220-4M 23/52

B
C

審査請求 未請求 請求項の数 1 (全3頁)

⑤発明の名称 半導体集積回路

⑥特 願 平2-335391
⑥出 願 平2(1990)11月28日

⑦発明者 下田 正喜 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑦出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑦代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

チップ上に複数のチップセレクト用パッドを有する半導体集積回路を設けた半導体チップを複数同一パッケージに収め、アドレスを入力する外部端子を、それぞれの前記チップの異なる前記チップセレクト用パッドに接続し、最上位アドレスによってパッケージ内の前記チップを任意に選択することができるようとしたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体集積回路の、特に集積度の向上に関するものである。

(従来の技術)

第3図、第4図は従来の半導体集積回路をジグザグインラインパッケージにした半導体装置の平面図および断面図である。図において、(1)は表面

に集積回路を作り込んだ半導体チップ、(2)は外部との信号の伝達を行う入出力端子、(3)は半導体チップ(1)上に設けられた入出力用パッド、(4)は入出力用パッド(3)と入出力端子(2)を接続するワイヤー、(5)は全体を保護するパッケージである。

次に動作について説明する。半導体集積回路を動作させる場合、入出力端子(2)に外部より電源電圧、制御信号、アドレス入力、データ入力信号を印加することにより、それらの情報はワイヤー(4)を伝って、半導体チップ(1)上のパッド(3)に伝達される。この制御信号によって、半導体チップ(1)上に設けられた半導体集積回路が動作する。

(発明が解決しようとする課題)

従来の半導体集積回路は以上のように構成されていたので、1つのパッケージ内には一つの集積回路しかなく、そのため、1つのパッケージで記憶容量を上げるには記憶容量を上げる分だけ集積回路自体を小さく作ることが必要で、プロセス的に大いに制約を受けるという問題点があった。又、集積回路自体はそのままで、記憶容量を上げるに

は半導体装置自体の数を増加する必要があり、この場合、集積度は悪くなるという問題点もあった。

この発明は上記のような問題点を解消するためになされたもので、1つのパッケージ内に、複数の半導体チップを設け、外部からはあたかも大きな記憶容量のチップが入っている半導体装置と同様に使用にできる半導体集積回路を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、チップ上に複数チップセレクト用のパッドを設け、同一パッケージ内に複数のチップを入れる場合、特定のアドレスの入力信号を各々異なるチップセレクト用パッドに接続することにより、入力されたアドレスによりチップを選択、非選択にするようにしたものである。

〔作用〕

この発明における半導体集積回路は、チップセレクト用のパッドをチップ上に設けることにより、1つのパッケージ内に複数のチップを同時にアセ

ことにより、それらの情報はワイヤー(4)を伝って半導体チップ(1)上のパッド(3)に伝達される。

この制御信号によって、半導体チップ(1)上に設けられた半導体集積回路が動作することになるのは同一であるが、本実施例の半導体集積回路は1つのパッケージ内に複数のチップをアセンブリしており、各チップの選択、非選択は半導体チップ(1)上に設けられたチップセレクト用パッド(6)を選択的にポンディングすることにより、外部信号（通常は最上位アドレス）によって決定し得る。

本実施例における半導体集積回路は以上のように、外部的には従来の半導体装置とまったく同じように制御することができ、集積度（記憶と容量）は次世代の半導体装置と同様の半導体装置を得ることができる。

なお、上記実施例ではワイヤー(4)によって入出力信号端子(2)とチップセレクト用パッド(6)を接続した場合を示したが、接続はワイヤー(4)でなくてもよく、例えばバンブ等によりポリシリコンあるいはポリシリサイド等による接続を行った場合で

ンブリして、使用する場合にアドレスの情報によりチップの選択、非選択を決めることができるようにしたので、半導体装置としての記憶容量が同時にアセンブリされるチップ倍数となる。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図、第2図において、(1)はその表面に集積回路を作り込んだ半導体チップ、(2)は外部との信号の伝達を行う入出力端子、(3)は半導体チップ(1)上に設けられた入出力用パッド、(4)は入出力用パッド(3)と入出力端子(2)を接続するワイヤー、(5)は全体を保護するパッケージ、(6)は半導体チップ(1)上に設けられ、ワイヤー(4)により入出力端子(2)と接続することにより、入力されたアドレスによってチップ(1)を選択、非選択にするチップセレクト用パッドである。

次に動作について説明する。

外部的には従来の半導体装置の場合とまったく同じで、入出力端子(2)に外部より電源電圧、制御信号、アドレス入力、データ入力信号を印加する

もよく、上記実施例と同様の効果を奏する。

又、チップセレクト用パッド(6)を設けず、直接内部の配線と入出力信号端子を接続するようにしても同様で、この発明に含まれることは言うまでもない。

〔発明の効果〕

以上のようにこの発明によれば、1つの半導体装置を複数の同一チップを1つのパッケージにアセンブリする構成にしたので、集積度の高い半導体集積回路が安価にできるとともに、また、開発期間も短いものが得られるという効果がある。

4. 図面の簡単な説明

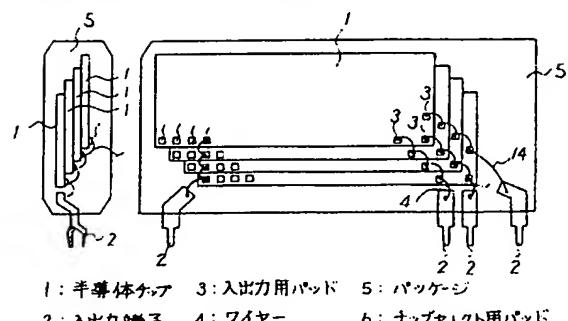
第1図および第2図はこの発明の一実施例である半導体集積回路の平面図及び断面図、第3図および第4図は従来の半導体集積回路平面図および断面図である。

図において、(1)は半導体チップ、(2)は入出力端子、(3)は入出力用パッド、(4)はワイヤー（配線）、(5)はパッケージ、(6)はチップセレクト用パッドを示す。

なお、図中、同一符号は同一、又は相当部分を示す。

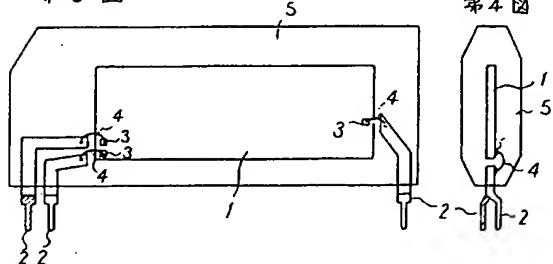
代理人 大岩増雄

第2図



第1図

第3図



第4図

